

PAT-NO: JP363003463A

DOCUMENT-IDENTIFIER:

TITLE: MANUFACTURE OF THIN FILM TRANSISTOR

PUBN-DATE: January 8, 1988

INVENTOR-INFORMATION:

NAME

HAYASHI, YUTAKA
YAMANAKA, MITSUYUKI
UMEMURA, MITSUO
OKAZAKI, SATOSHI
TAKADA, RYOJI
KAMIYA, MASAAKI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
AGENCY OF IND SCIENCE & TECHNOL	N/A
SHIN ETSU CHEM CO LTD	N/A
SEIKO INSTR & ELECTRONICS LTD	N/A

APPL-NO: JP61147381

APPL-DATE: June 24, 1986

INT-CL (IPC): H01L029/78, H01L021/205, H01L027/12

US-CL-CURRENT: 257/E29.273

ABSTRACT:

PURPOSE: To perform stable operation characterized by high mobility, by using a silicon film made by thermal CVD of high-order silane such as trisilane or higher as a channel semiconductor film of a thin film transistor.

CONSTITUTION: On an insulating substrate 1, a gate 2 comprising Ni, W, Mo and the like is formed by evaporation, sputtering and the like. A gate insulating film 3 such as a silicon oxide film and silicon nitride

film is laminated by a CVD method and the like on the gate 2. A silicon film 4 of high-order silane such as trisilane or higher is formed by a thermal CVD method on the film 3. A source 5 and a drain 6, which have doublelayer structure of a P-or N-type low resistance semiconductor film and a metal film, are formed. An inverted staggered type thin film transistor is formed. The silicon film 4 is formed as follows: the substrate is heated to a temperature of about 400°C; the high order silane such as the trisilane or higher is introduced in a chamber 7; and the film 4 is formed on the surface of the substrate by thermal decomposition reaction on the substrate.

COPYRIGHT: (C)1988,JPO&Japio

⑪ 公開特許公報 (A) 昭63-3463

⑤Int.Cl.⁴
H 01 L 29/78
21/205
27/12

識別記号
311

厅内整理番号
F-8422-5F
7739-5F
7514-5F

④公開 昭和63年(1988)1月8日
審査請求 有 発明の数 1 (全7頁)

⑥発明の名称 薄膜トランジスタの製造方法

⑦特 願 昭61-147381
⑧出 願 昭61(1986)6月24日

⑨発明者 林 豊 茨城県新治郡桜村梅園1丁目1番4号 工業技術院電子技術総合研究所内
⑩発明者 山中光之 茨城県新治郡桜村梅園1丁目1番4号 工業技術院電子技術総合研究所内
⑪出願人 工業技術院長 東京都千代田区霞が関1丁目3番1号
⑫復代理人 弁理士 最上務 外1名
⑬出願人 信越化学工業株式会社 東京都千代田区大手町2丁目6番1号
⑭出願人 セイコー電子工業株式会社 東京都江東区亀戸6丁目31番1号
⑮代理人 弁理士 最上務 外1名
最終頁に続く

明細書

1. 発明の名称

薄膜トランジスタの製造方法

した特許請求範囲第1項記載の薄膜トランジスタの製造方法。

(a)前記チャネル半導体膜を前記熱CVDの成膜温度以下で水素プラズマ処理したことを特徴とする特許請求範囲第1項乃至第4項のいずれかに記載の薄膜トランジスタの製造方法。

(b)前記ソースおよびドレインは前記チャネル半導体膜の形成後連続して、プラズマCVD、光CVD、励起種CVD等の前記熱CVD以外の方法により低抵抗のP形あるいはn形の半導体膜で形成したことを特徴とする特許請求範囲第1項乃至第4項のいずれかに記載の薄膜トランジスタの製造方法。

2. 特許請求の範囲

(1)基板、ゲート、ゲート絶縁膜、チャネル半導体膜、ソース、ドレインなどから成る薄膜トランジスタにおいて、チャネル半導体膜をトリシラン(Si_3N_4)以上の高次シランの熱CVDにより形成することを特徴とする薄膜トランジスタの製造方法。

(2)前記熱CVDにおいて成膜温度が480℃以下でチャネル半導体膜を形成することを特徴とする特許請求範囲第1項記載の薄膜トランジスタの製造方法。

(3)前記熱CVDにおいてトリシランの分圧を0.1 Torr以上の反応圧力でチャネル半導体膜を形成することを特徴とする特許請求範囲第1項記載の薄膜トランジスタの製造方法。

(4)前記チャネル半導体膜の膜厚を600Å以下と

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、液晶パネルのドライバー等に用いる経時変化の少ない薄膜トランジスタの製造方法に関するものである。

〔発明の概要〕

この発明は、薄膜トランジスタのチャネル半導体膜に、トリシラン以上の高次シランの熱CVDによるアモルファスシリコン膜を用いることにより、経時変化の少ない薄膜トランジスタを製造するものである。

〔従来の技術〕

従来、薄膜トランジスタのチャネル半導体膜とモノシリコンを原料としたプラズマCVDによる水素化アモルファスシリコン膜が用いられてきた。これは、低温で比較的簡単に成膜することができ、移動度の高い薄膜トランジスタが実現されている。

〔発明が解決しようとする問題点〕

しかし、上記の従来例においてはバイアスを印加した直後の比較的短時間でのオン電流の変化や、バイアスを長時間印加した後でのしきい値電圧の変動や移動度の劣化という問題があった。これらの劣化の原因は明らかにされておらず実用的な安定性が得られていない。

そこで、この発明では安価なガラス基板が使用

できる低い温度で成膜でき、高い移動度で安定な動作をする薄膜トランジスタを製造すること目的としている。

〔問題点を解決するための手段〕

この発明では、チャネル半導体膜として、トリシラン以上の高次シランを原料ガスに用いた熱CVDによるアモルファスシリコン膜を用い、その製造条件と膜質の関係を明確にすることにより問題を解決した。

〔作用〕

トリシラン以上の高次シランの熱CVDによるアモルファスシリコン膜は荷電粒子によるダメージがなく、この膜をチャネル半導体膜に用いると薄膜トランジスタのオン電流の経時変化を小さく抑えることができる。

〔実施例〕

まず、この発明により実現される薄膜トランジスタの構造例を第1図(a)～(c)により説明する。

第1図(a)は逆スタガード型の薄膜トランジスタで、絶縁基板1上に蒸着、スパッタ等によるNi、

W、Mo等のゲート2を形成し、その上にCVD等によるシリコン酸化膜、シリコン窒化膜等のゲート絶縁膜3を積む。この上に本発明のトリシラン以上の高次シランの熱CVDによるシリコン膜4を形成する。さらに、P形あるいはn形の低抵抗半導体膜と金属膜の二層構造のソース5およびドレイン6を形成する。各層のバターニングはフォトリングラフィ技術を用いる。

第1図(b)はスタガード型の薄膜トランジスタで、各層の形成は第1図(a)と同様である。

第1図(c)は、低抵抗シリコン基板をゲート2として用いたものである。ゲート絶縁膜3はCVD等のデポジション膜以外に、低抵抗シリコン基板の熱酸化膜によっても形成できる。このほかの層の形成は第1図(a)と同様である。

次に、この発明のチャネル半導体膜の形成に用いる装置例を第2図により説明する。

第2図において、7はチャンバーで、内部に石英板、ガラス板、ステンレス板、シリコンウェハ等が載せられ（下向き等の場合には止め金具等

で固定され）加熱される基板加熱手段8を有している。さらに基板加熱手段8の近傍にガス吹出部9を形成し、ガス供給手段10とチャンバー7内を排気する排気手段11がチャンバー7に接続されている。ガス供給手段10からガス吹出部9までの系は、ヒーター等により原料ガスの沸点（トリシランでは53.1℃）以上の温度に保たれている。このほか、必要に応じてチャンバー7の側面に真空ゲージ、観察窓等が設けられている。このような装置において、基板温度を400℃程度に加熱し、トリシラン以上の高次シランをチャンバー7内に導入すると、基板上の熱分解反応により、基板表面にアモルファスシリコン膜を形成することができる。

第3図は、100%トリシランを用いた熱CVDによるアモルファスシリコン膜のデポジションレートの一例を示すものである。第3図で、横軸は基板温度の逆数（ $1/K$ ）、縦軸はデポジションレート（Å/min）であり、△、□、○、◇、▽印はそれぞれ反応圧力が1、2、5、10、12、

Torrの場合である。

第4図は100%トリシランを用いて反応圧力5 Torrの場合の光学バンドギャップと結合水素量の基板温度依存性の一例を示したものである。基板温度が480°C以下では光学バンドギャップは約1.65eV、結合水素量は約7.5%でほぼ一定である。基板温度が480°Cより高い温度では光学バンドギャップ、結合水素量ともに減少する。これよりトリシラン以上の熱CVDでは基板温度480°Cより高い温度で水素脱離が起こることを示している。

第5図は、100%トリシランを用いて反応圧力5 Torrの場合の暗導電率(●印)とAM1スペクトラム60mW/cm²の光照射での光導電率(○印)の基板温度依存性を示したものである。光導電率は高くないが、光導電率と暗導電率の比は3桁以上ある。また、基板温度480°Cより高い温度では、水素脱離により光導電率、暗導電率ともに低下する。

以上のデポジションのデータを利用して第1図(a)の構造の薄膜トランジスタを作成し、チャネル

半導体膜の基本特性を調べた。第1図(b)のゲート2は低抵抗P型シリコン基板、ゲート絶縁膜3は前記シリコン基板を1100°Cのdry O₂雰囲中で熱酸化した約900ÅのSiO₂膜であり、その上にトリシラン以上の高次シランを用いた熱CVDによるノンドープアモルファスシリコン層4を形成し、さらにn⁺アモルファスシリコン層とNi等の金属層の二層より成るソース5及びドレイン6から成る薄膜トランジスタである。以下薄膜トランジスタの特性の詳細を示す。

第6図は、第1図(b)の構造の薄膜トランジスタのしきい値電圧と電子移動度の基板温度依存性のデータの一例を示したものである。この薄膜トランジスタはゲート絶縁膜にSiO₂を用い、ソース・ドレインのコンタクト抵抗が大きいので、しきい値電圧は多少高い。電子移動度は0.1cm²/V·Sと高い。基板温度480°Cより高い温度で形成した場合、しきい値電圧が高くなり電子移動度が低下する。この原因は、第4図で示したアモルファスシリコン膜中の水素脱離によるものである。従っ

て、薄膜トランジスタの基板温度は480°C以下にする必要がある。

第3図から、基板温度480°Cにおけるデポジションレートの反応圧力依存性を示した図が第7図である。デポジションレートは反応圧力のほぼ3/2乗に比例する。第7図から分かる通り、基板温度480°C以下でデポジションを行う場合、実用的なデポジションレートとして1Å/min以上を得るには反応圧力を0.1Torr以上にしなければならない。

チャネル半導体膜にトリシラン以上の高次シランの熱CVD膜を用いた薄膜トランジスタはアモルファスシリコン膜厚が厚くなると、ソースおよびドレインの抵抗が高くなり、ドレイン-ソース電圧をある程度高くしないと、チャネルが形成されない領域がある。このチャネルが形成されるのに必要なドレイン-ソース電圧(ドレイン電流が流れ始める電圧)とアモルファスシリコン膜厚の関係を示した図が第8図である。これよりアモル

ファスシリコン膜の厚さを600Å以下にするとよ

い。

以上が、トリシラン以上の高次シランの熱CVDによる薄膜トランジスタの基本的な製造方法であるが、次に示す処理によりその特性をさらに向上させることができる。すなわち、第4図に示した通り熱CVDアモルファスシリコン膜は結合水素量が低いので、膜形成後にその成膜温度以下で水素プラズマ処理することにより、結合水素量を増加させることができる。

第9図は、水素プラズマ処理による膜特性の向上の一例を示したドレイン電流対ゲート電圧特性図である。図中破線は100%トリシランを用いて、反応圧力5Torr、基板温度430°Cで作成した第5図の構造の薄膜トランジスタである。実線はこの薄膜トランジスタを基板温度240°C、反応圧力1Torr、高周波電力25Wの条件で1時間の水素プラズマ処理を施したものである。水素プラズマ処理により、ソース、ドレイン抵抗が小さくなり、移動度も向上する。

第1図(a)～(c)に示す構造の薄膜トランジスタの

ソースおよびドレインの接触抵抗を下げるために挿入するP形あるいはn形の低抵抗半導体膜は、チャネル半導体形成と連続させて、P形ドーバンプのボロン、n形ドーバントのリンあるいはヒ素等を含むドーピングガスをトリシラン以上の高次シランに混合させた熱CVDにより形成することができる。しかし、熱CVDでは、基板温度が400°C以下では抵抗率をあまり低くできないので、ソース及びドレインをプラズマCVD、光CVD、励起CVD等の熱CVD以外の製造方法で、チャネル半導体膜の成膜温度より低い温度で形成させることもできる。この場合、熱CVDによるチャネル半導体膜の持つ特性が阻害されることは殆どない。

第10図は、ドレイン電流の時間変化を本発明の薄膜トランジスタと従来のプラズマCVDにより作成した同じ構造の薄膜トランジスタについて比較したものである。図中、実線が本発明による10%トリシランの反応圧力5Torr、基板温度430°Cの熱CVD試料で、破線が従来の製造方法によ

る熱CVDと同一のチャンバーで反応圧力0.7Torr、基板温度300°C、高周波電力10Wの条件によるモノシリコンのプラズマCVD試料である。ドレイン電流1μAを3時間流した場合、従来のプラズマCVD試料では20%程度減少するのに対し、本発明の熱CVD試料では10%以下と安定である。

〔発明の効果〕

以上説明したように、この発明は薄膜トランジスタのチャネル半導体膜にトリシラン以上の高次シランの熱CVDによるシリコン膜を用いることにより、移動度が高く安定な動作を行うことができる薄膜トランジスタを実現した。

また、この発明の薄膜トランジスタは光照射時のコンダクタンスが低いことから、遮光膜の不要な液晶パネルドライバーとして有効である。

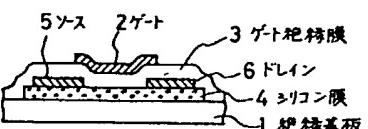
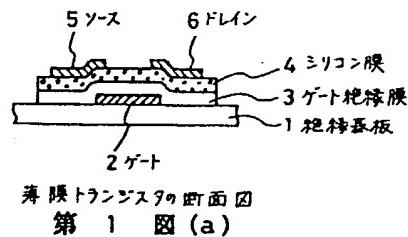
さらに、この発明はプラズマ等の荷電粒子によるダメージがなく、低温で製造できるので、LSI等と組合せた、三次元ICや高感度光センサーIC等に利用するのに有効である。

4. 図面の簡単な説明

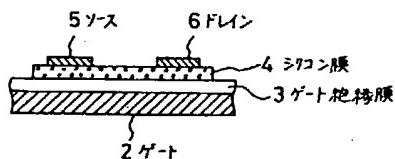
第1図(a)～(c)はこの発明が適用される薄膜トランジスタの断面図の一例、第2図はこの発明の製造に用いる装置の断面図の一例、第3図はこの発明による100%トリシランを用いた熱CVDにおけるデポジションレートの基板温度依存性を示す図、第4図は光学バンドギャップと結合水素量の基板温度依存性を示す図、第5図は導電率の基板温度依存性を示す図、第6図は薄膜トランジスタのしきい値電圧と電子移動度の基板温度依存性を示す図、第7図は基板温度480°Cにおけるデポジションレートの反応圧力依存性を示す図、第8図はチャネル半導体のシリコン膜厚と最少ドレイン・ソース電圧の関係を示す図、第9図は水素プラズマ処理の効果を示す図、第10図はドレイン電流の時間変化を示す図である。

図中、1は絶縁基板、2はゲート、3はゲート絶縁膜、4はシリコン膜、5はソース、6はドレイン、7はチャンバー、8は基板加熱手段、9はガス吹出部、10はガス供給手段である。

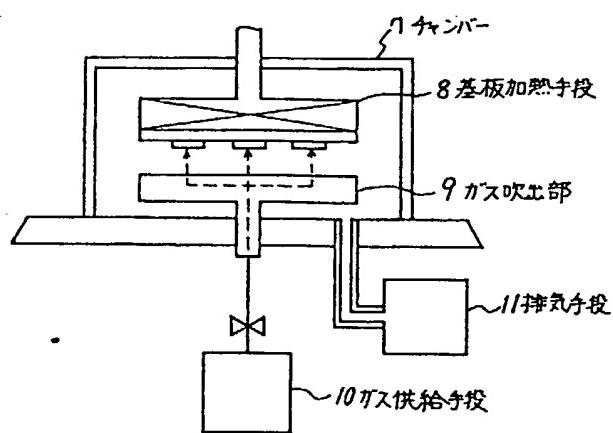
以上



薄膜トランジスタの断面図
第1図(b)

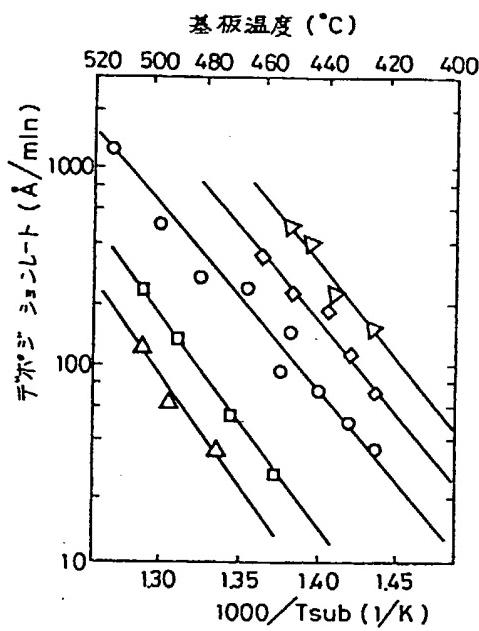


薄膜トランジスタの断面図
第1図(c)



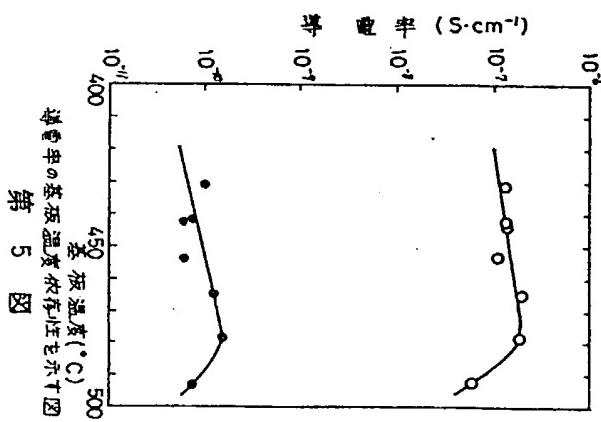
製造装置の断面図

第 2 図

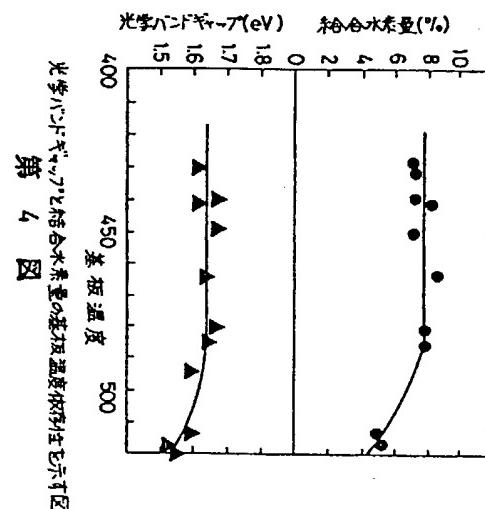


デポジションレートの基板温度依存性を示す図

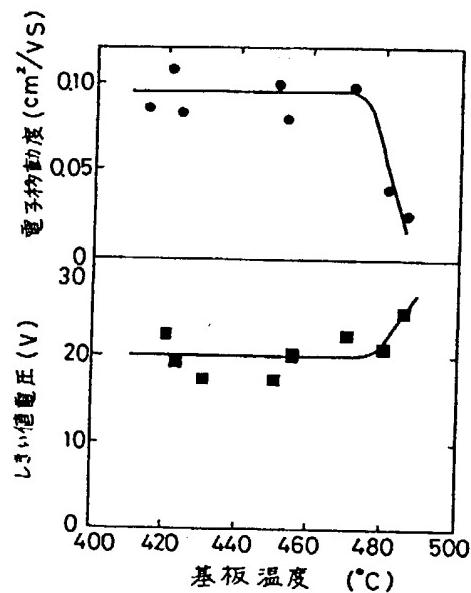
第 3 図



導電率の基板温度依存性を示す図
第 5 図

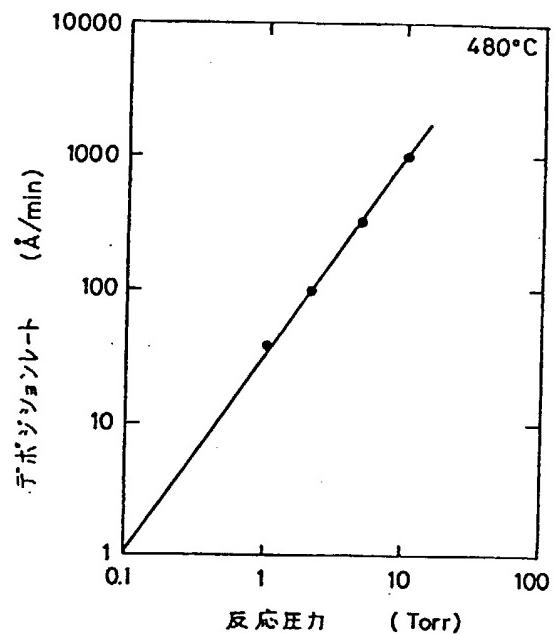


光学バンドギャップ(eV)と結合水素量の基板温度依存性を示す図
第 4 図



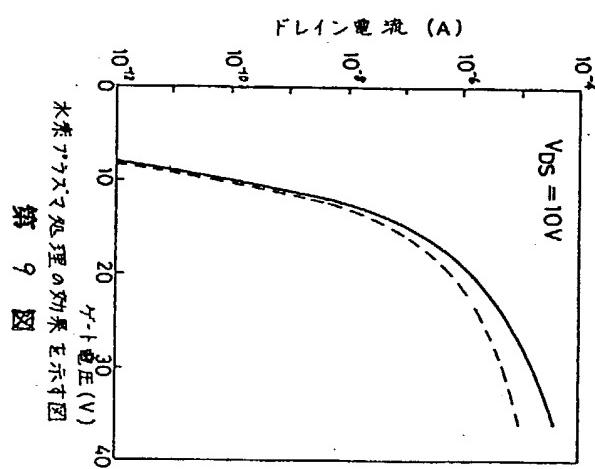
しきい値電圧と電子移動度の基板温度依存性を示す図

第 6 図

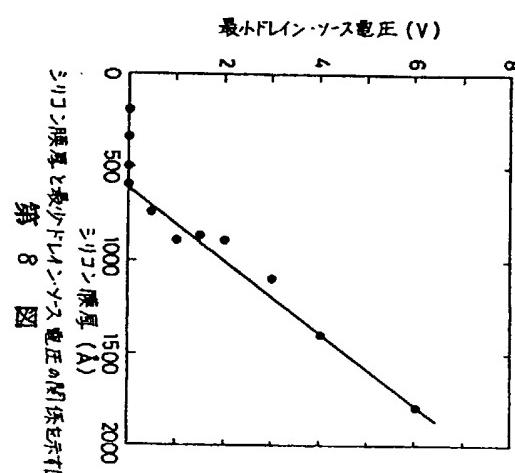


デポジションレートの反応圧力依存性を示す図

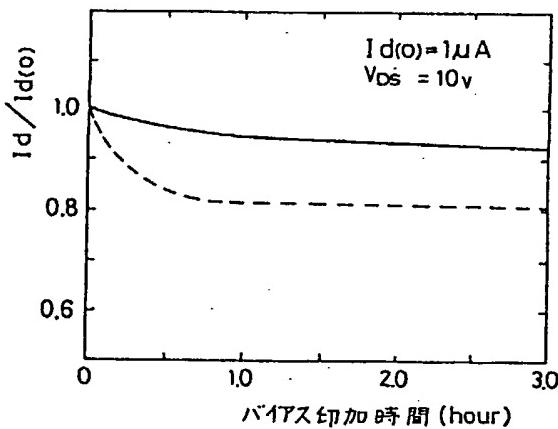
第 7 図



水素アクスガス処理の効果を示す図
第 8 図



シリコン膜厚と最小ドレン-ソース電圧の関係を示す図
第 9 図



ドレイン電流の時間変化を示す図

第 10 図

第1頁の続き

⑦発明者 梅村 光雄 群馬県安中市磯部2丁目13番1号 信越化学工業株式会社
 シリコーン電子材料技術研究所内

⑦発明者 岡崎 智 群馬県安中市磯部2丁目13番1号 信越化学工業株式会社
 シリコーン電子材料技術研究所内

⑦発明者 高田 量司 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

⑦発明者 神谷 昌明 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内